

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-072207

(43)Date of publication of application : 17.03.1995

(51)Int.Cl.

G01R 31/28

H01L 21/66

(21)Application number : 05-159720

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 29.06.1993

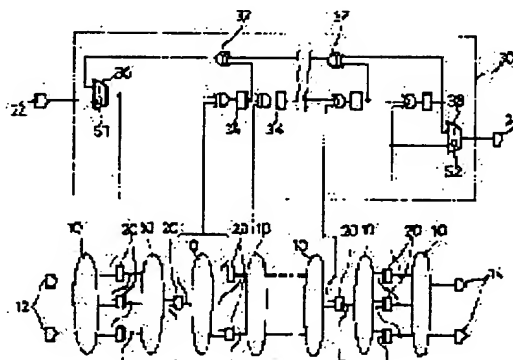
(72)Inventor : YOSHIYAMA MASAYUKI

**(54) CIRCUIT FOR FACILITATING TEST OF SEMICONDUCTOR INTEGRATED CIRCUIT**

(57)Abstract:

**PURPOSE:** To reduce the cost of production of a test pattern by inputting the output of a scan resistor constituting a scan chain and providing a data reduction circuit for producing serial output.

**CONSTITUTION:** A data compressor circuit 30 consists of an exclusive OR circuit 32 and FF34. Two serial output are performed from the compressor circuit 30. One of them is input to a multiplexer (MUX) 36, changed with the outside input from a scan input terminal 22, feedback-input to the compressor circuit 30 itself and input to a scan chain. The other is input to MUX 38, changed with the output from the scan chain and output to the outside via a scan output terminal 24. In other words, the compressor circuit 30 thins out and takes in the output of a scan resistor 20 and scans a produced signature in the scan chain. Thereby special effort necessary for the production of a test vector is not needed.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-72207

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

H 0 1 L 21/66

F 7630-4M

G 0 1 R 31/ 28

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平5-159720

(22) 出願日 平成5年(1993)6月29日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 ▲吉▼山 正之

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

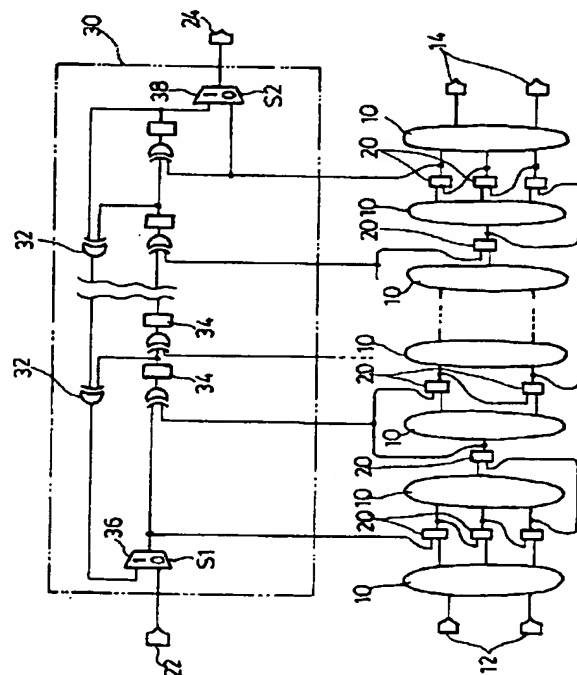
(74) 代理人 弁理士 小杉 佳男 (外2名)

(54) 【発明の名称】 半導体集積回路のテスト容易化回路

(57) 【要約】

【目的】 本発明は、半導体集積回路に組み込まれるテスト容易化回路に関し、スキャン方式のテスト容易化回路を提供する。

【構成】 スキャンチェーンと、そのスキャンチェーンを構成するスキャンレジスタの出力を間引いて取り込むと共に生成されたシグニチャーをスキャンチェーンにスキャンインするデータ圧縮回路を備えた。



1

## 【特許請求の範囲】

【請求項 1】 所定の論理回路への入力データないし該論理回路からの出力データを格納する複数のスキャンレジスタが互いに直列に接続されてシフトレジスタを構成してなるスキャンチェーンと、

前記スキャンチェーンを構成する前記複数のスキャンレジスタのうち、該スキャンチェーンの配列に沿う規則的な各所定個数おきに選択されてなるデータレジスタの出力を入力してデータ圧縮を行い該データ圧縮の結果を表すシリアル出力を生成するデータ圧縮回路とを備え、

前記スキャンチェーンが、前記シリアル出力と外部入力とを択一的にシリアル入力するものであることを特徴とする半導体集積回路のテスト容易化回路。

【請求項 2】 前記データ圧縮回路を構成する回路要素の少なくとも一部が、前記半導体集積回路の、外部との信号の授受を司る入出力回路が形成される入出力回路領域に形成されてなることを特徴とする請求項 1 記載の半導体集積回路のテスト容易化回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路に組み込まれるテスト容易化回路に関する。

【0002】

【従来の技術】近年の半導体集積回路の高集積化に伴い、製造された半導体集積回路の良否を容易にテストする技術がますます重要になってきており、種々のテスト方式が提案されている。そのようなテスト方式の代表的なもの 1 つにスキャン方式と呼ばれるものがある。

【0003】図 2 は、スキャン方式のテスト容易化回路が組み込まれた半導体集積回路の模式図である。この半導体集積回路には、所望の論理演算機能を満足するように構成された組み合わせ回路 10 が形成されており、それらの組み合わせ回路 10 は全体として、入力端子 12 を経由して外部からの信号を入力し、出力端子 14 を経由してその論理演算結果を外部に出力するように構成されている。またこの半導体集積回路には、各組み合わせ回路 10 の入出力信号を格納する複数のスキャンレジスタ 20 が形成されており、これら複数のスキャンレジスタ 20 は、全体としてシフトレジスタとなるように互いに直列に接続され、スキャンチェーンを構成している。

【0004】このスキャンチェーンには、スキャン入力端子 22 を経由して外部信号が入力され、このスキャンチェーンを経由した信号はスキャン出力端子 24 を経由して外部に出力される。このように半導体集積回路にスキャンチェーンを組み込んでおき、テスト時には、例えばスキャン入力端子 22 からスキャンレジスタ 20 に所定の信号を送り込み、その送り込んだ信号を組み合わせ回路 10 に入力してその組み合わせ回路 10 の出力をスキャンレジスタ 20 に格納し、その格納された信号をスキャン出力端子 24 を経由して外部に取り出すことによ

2

り、その組み合わせ回路 10 で所期の論理演算動作が行われているか否か、即ち、その組み合わせ回路 10 の良否がテストされる。

【0005】

【発明が解決しようとする課題】上記のスキャン方式を採用してテストを行うには、スキャン入力端子 22 からどのような信号を入力して組み合わせ論理回路 10 に与えるか、およびその入力信号に対応して、スキャン出力端子 24 からどのような信号を得ることができるか、というテストパターンを生成する必要がある、このテストパターンの生成にかなりのコスト、労力を要するという問題がある。

【0006】本発明は、上記問題を解決し、テストパターンの生成のコストが削減されるスキャン方式のテスト容易化回路を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成する本発明は、所定の論理回路への入力データないしその論理回路からの出力データを格納する複数のスキャンレジスタが互いに直列に接続されてシフトレジスタを構成してなるスキャンチェーンと、上記スキャンチェーンを構成する複数のスキャンレジスタのうち、そのスキャンチェーンの配列に沿う規則的な各所定個数おきに選択されてなるデータレジスタの出力を入力してデータ圧縮を行いそのデータ圧縮の結果を表すシリアル出力を生成するデータ圧縮回路とを備え、上記スキャンチェーンが、上記シリアル出力と外部入力とを択一的にシリアル入力するものであることを特徴とする半導体集積回路のテスト容易化回路である。

【0008】

【作用】本発明は、従来のスキャン方式におけるスキャンチェーン（上記（1））に加えて、上記（2）のデータ圧縮回路を備えたものである。このデータ圧縮回路には、スキャンレジスタからのデータが入力されて、データ圧縮出力、いわゆるシグニチャーが生成される。そのシグニチャーは、スキャンチェーンに入力される。

【0009】このように本発明では、データ圧縮回路で生成されたシグニチャーをスキャンチェーンに入力するようにしたため、テストパターン生成のコストが大幅に削減される。ここで、データ圧縮回路自体については、既に知られているが（例えば、特開平 4-20878 号公報、特開平 2-47574 号公報参照）、本発明は、このデータ圧縮回路を、スキャンチェーンと組合せ、しかも、スキャンチェーンを構成する複数のスキャンレジスタのうち、そのスキャンチェーンの配列に沿う規則的な各所定個数おき（典型的には、例えば 4 個おき、10 個おき等一定の個数おき）に選択されてなるデータレジスタの出力を入力するように構成したものであるため、そのテスト動作も簡単化され、したがって、従来と比べ一層容易にテストを行うことのできるテスト容易化回路

3

が実現する。

【0010】また、上記データ圧縮回路の少なくとも一部の回路要素を入出力回路領域に配置した場合、テストのためのオーバーヘッドも少なくて済む。

【0011】

【実施例】以下、本発明の実施例について説明する。図1は、本発明の一実施例を示す模式的回路図である。図2に示す従来例と同一の構成要素には図2に付した番号と同一の番号を付して示し、相違点について説明する。

【0012】この図1に示す回路には、主としてイクス  
クルーシブオア回路(EOR)32とフリップフロップ  
(FF)34から構成されるデータ圧縮回路30が備え  
られている。このデータ圧縮回路30の構成自体につ  
ては公知であり、ここでの詳細説明は省略する。このデ  
ータ圧縮回路30からのシリアル出力は2つあり、その  
1つはマルチプレクサ(MUX)36に入力され、スキ  
ャン入力端子22からの外部入力と切り替えられてこの  
データ圧縮回路30自身に帰還入力されると共にスキ  
ャンチェーンにも入力される。もう1つは、MUX38に  
入力され、スキャンチェーンからの出力と切り替えら  
れ、スキャン出力端子24を経由して外部に出力され  
る。

【0013】ここで、この例では4つおきの、スキ  
ャンチェーンを構成するスキャンレジスタ20の出力がデ  
ータ圧縮回路30に入力されている。このように、例えば  
4つおき等、規則的な各所定個数おきに選択されたデ  
ータレジスタの出力をデータ圧縮回路30に入力するよう  
にしたため、以下に述べるような簡単なシーケンスでテ  
ストを行うことができる。

【0014】ここでは100個のスキャンレジスタから  
構成される1本のスキャンチェーンを持つスキャン回路  
に対してスキャンレジスタ10個おきのデータを圧縮す  
る回路を設けたものとする。このとき、データ圧縮回路  
は基本的にはFFとEORがそれぞれ10個、シグニ  
チャー形成のためのEORが数個、MUXが2個で構成さ  
れる。

【0015】このようなテスト回路を組み込んだき、以  
下のようにしてテストが行われる。

(1) スキャンレジスタのチェック

S1=0, S2=0として、スキャン入力端子22か  
ら'0101'のパターンを送り込み、スキャン出力端  
子24で'0101'をモニタする。

(2) データ圧縮回路のチェック

S1=0, S2=1としてスキャン入力端子20から  
'0000'のパターンを送り込み、スキャン出力端子2  
4で'00'をモニタする。それに続けてスキャン端子

4

24から'1111'のパターンを送り込み、スキ  
ャン入力端子24で10個連続した'0'それに続く10個  
連続した'1'をモニタする。

(3) 内部のテスト

(3-1) S1=0, S2=0としてスキャン入力端  
子22からあらかじめ定められた任意のパターンを送り  
込む。

(3-2) 通常モードにしてスキャンレジスタ20に  
組み合わせ回路10の内部のデータを取り込む。

(3-3) S1=1, S2=1にしてスキャンレジ  
スタ10個分データをシフトする。このとき、データ圧縮  
回路30で生成されたシグニチャーがスキャンレジスタ  
20にシフト入力される。

(3-4) 通常モードにしてスキャンレジスタ20に  
組み合わせ回路内の内部データを取り込む。

(3-5) 上記(3-3), (3-4)を繰り返し、  
その間、スキャン出力端子24から常にシグニチャーの  
MSBをモニタする。

【0016】このようなテスト手法を採用することによ  
り、スキャン用のテストベクタ生成に特別な労力を要し  
ないで済むこととなり、そのコストが低減化される。ま  
た、データ圧縮回路30を、入出力回路領域の空領域に  
作り込んだ場合は、このデータ圧縮回路30を備えたこ  
とによるテスト用の面積オーバーヘッドも回避される。

【0017】

【発明の効果】以上説明したように、本発明の半導体集  
積回路のテスト容易化回路は、スキャンチェーンと、そ  
のスキャンチェーンを構成するスキャンレジスタの出力  
を間引いて取り込むと共に生成されたシグニチャーをス  
キャンチェーンにスキャンインするデータ圧縮回路を備  
えたものであるため、従来テストベクタの生成に要し  
ていた特別な労力が不要となり、テストのためのコスト  
が低減化される。またこのデータ圧縮回路を入出力回路  
領域に作り込めば、データ圧縮回路の面積オーバーヘッ  
ドも発生しない。

【図面の簡単な説明】

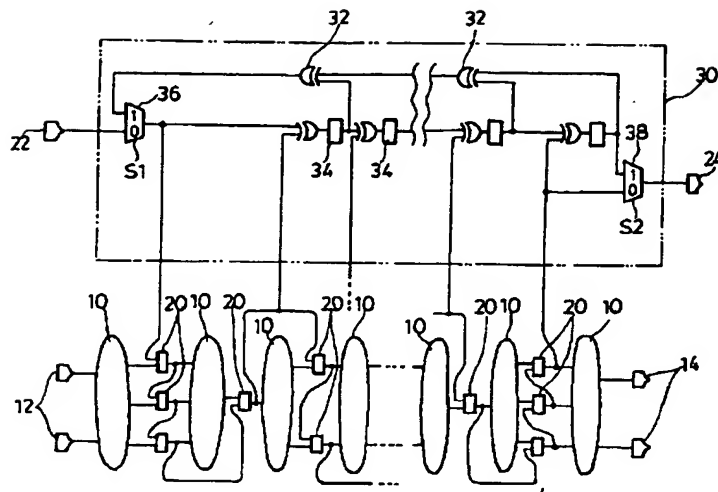
【図1】本発明の一実施例を示す模式的回路図である。

【図2】スキャン方式のテスト容易化回路が組み込まれ  
た半導体集積回路の模式図である。

【符号の説明】

10 組み合わせ回路  
20 スキャンレジスタ  
22 スキャン入力端子  
24 スキャン出力端子  
30 データ圧縮回路  
36, 38 マルチプレクサ

【図 1】



【図 2】

